

내장 스너버 회로를 이용한 1200V 350A Cascode SiCFET 하프 브리지 파워 모듈 슬루율 제어

조용식
세미파워렉스

1200V 350A Cascode SiCFET Half Bridge Power Module Slew Rate Control with an Internal Snubber Circuit

Cho Yongsik
SemiPowerEx

ABSTRACT

본 논문은 cascode 방식 SiC JFET 소자 기반 하프 브리지 모듈의 슬루율을 효과적으로 제어할 수 있는 방법을 제안한다. MOSFET 소자 기반 모듈은 게이트 저항을 사용하여 슬루율을 제어하지만 일반적인 cascode 방식은 구조적으로 게이트 저항을 삽입할 수 없다. 스너버 회로를 사용하면 전압 서지와 리플을 줄임과 동시에 슬루율도 제어할 수 있다. 스너버 회로는 기생 성분을 최소화하기 위해 전력 반도체 소자와 가깝게 배치해야 하기 때문에 모듈 내에 내장하는 것이 좋다. 내장하려면 크기가 작은 수동 소자들을 사용해야 하고 이로 인해 제한된 허용 전력을 만족시키는 적절한 회로를 적용시켜야 한다. 게이트 저항, Switch Node RC 스너버, 충방전 RCD 스너버, 그리고 방전억제형 RCD 스너버 4 가지 종류의 회로를 모듈 안에 내장하여 구현하고, 이를 더블 펄스 테스트를 통해 전압 슬루율, 서지 억제, 스너버 저항 소비 에너지 등의 측면에서 평가한다.

1. 서론

SiC Chip은 게이트 구조에 따라 MOSFET 및 JFET으로 나뉜다. MOSFET은 가장 보편적인 normally-off 구조로 여러 업체에서 생산하고 있지만 저수율로 인한 높은 가격, Gate Oxide의 신뢰성 문제, 낮은 임계 전압으로 인한 게이트 노이즈에 대한 취약성, 내부 다이오드의 surge 내량 문제가 있다. JFET은 높은 수율과 게이트 산화 공정 부재로 인해 낮은 가격을 유지할 수 있고 Gate Oxide 신뢰성 문제가 없는 반면 normally-off 소자를 구현해야 하는 단점이 있다.

JFET을 normally-off 형태로 만들기 위해서는 전용 Direct Drive IC를 사용하거나 Low Voltage MOSFET 소자를 cascode 방식으로 연결한다. 보통 cascode 방식이 많이 이용된다. [1]

SiC MOSFET 소자의 슬루율 제어는 외부 게이트 저항으로 구현을 하지만 cascode 구조의 SiC JFET 소자는 JFET의 gate와 Low Voltage MOSFET의 source가 서로 연결되어 있어서 외부 게이트 저항으로는 제어할 수 없다. Cascode 구조의 소자 슬루율 조절 방법에는 JFET gate에 직접 저항을 연결하거나, drian-gate 간 캐패시턴스를 조절하는 방법 등이 있지만 스너버 회로를 사용하면 전압 서지 및 링잉 억제 효과와 더불어 슬루율 제어 효과도 얻을 수 있다. [2]

스너버 회로는 크게 Device (Switch Node) RC 스너버와 RCD 스너버를 사용하는 방식이 있다. Switch Node RC 스너

버의 경우 회로 구성이 간단하나 정격 전압이 커질수록 저항에 가해지는 전압이 커져 저항 선택의 폭이 좁아진다. 이에 비해 RCD 스너버는 구성이 복잡하지만 저항 선택에 있어 비교적 자유롭다. [3] 본 연구에서는 1) 기본 cascode SiCFET 구조, 2) JFET Gate 와 LV MOSFET Source 사이에 게이트 저항을 삽입한 구조, 3) Switch Node RC 스너버 구조, 4) 충방전형 RCD 스너버 구조, 5) 방전억제형 RCD 스너버 구조를 모듈 내에 구현하고 실험을 통해 전압 슬루율 제어, 서지 억제, 저항 소비 에너지 면에서 적합한 구조를 제안하고자 한다.

2. 스너버 내장 모듈

2.1 RC 스너버

스너버 회로는 스위치에 가까이 위치할 때 전압 서지와 노이즈 억제 효과가 커진다. 따라서 스너버 회로를 모듈 외부에 구성하는 것보다 모듈 내부 전력 반도체 소자 부근에 놓는 것이 특성 면에서 유리하다. 내장을 위해서는 크기가 충분히 작으면서, 수십 W 이상의 허용 전력과 수백 V 이상의 working voltage를 가진 필름 저항이 필요하다.

2.1.1 스위칭 특성 해석

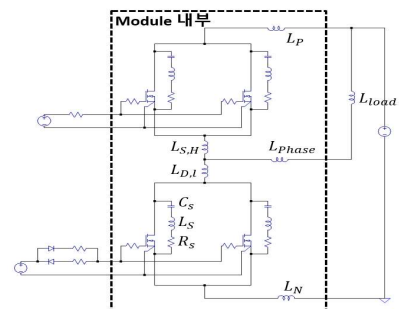


그림 1 기생 인덕턴스를 반영한 RC 스너버 회로도

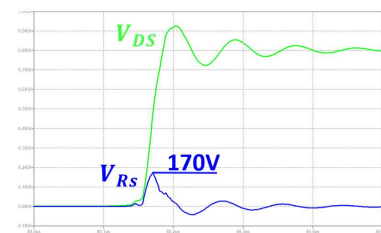


그림 2 RC 스너버 회로 시뮬레이션 turn-off 파형

SemiPowerEx 사의 1200V 350A cascode SiC FET 하프 브리지 모듈인 SPX350GB120US3를 대상으로 전압 서지를 고려하여 800V 240A 환경에서 시뮬레이션을 통해 스너버 저항에 요구되는 최소 허용 전력 및 working voltage를 예측하였다. Ansys Q3D extractor를 통해 모듈 구조에 의한 기생 인덕턴스 성분을 추출하고 이를 회로에 반영하여 SPICE 기반의 회로 시뮬레이터를 통해 turn-off 시 drain-source 전압과 스너버 저항에 걸리는 전압을 확인하였다.

$$P_{Rs} = \frac{f}{R_s} \int_{t_1}^{t_2} V^2 dt = 38 W, \quad V_{Rs,peak} = 170 V$$

2.1.2 모듈 내장용 스너버 저항

최소 요구 조건을 충족하면서 스위치 소자 옆 DBC 패턴에 스너버 회로를 구성하기 위해서는 Thick Film 형태의 저항이 적합하다. 그림 3에서 S3 패키지 내에 위치한 SemiPowerEx사에서 제작한 Thick Film 저항의 junction-case 열저항 값을 산출하고 case 온도에 따른 소비전력을 계산하였다.

$$P_{diss} = \frac{T_j - T_c}{R_{th(j-c)}}, \quad (R_{th(j-c)} = 2.15^\circ C / W)$$

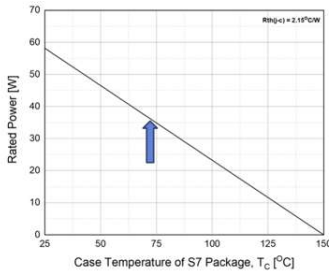
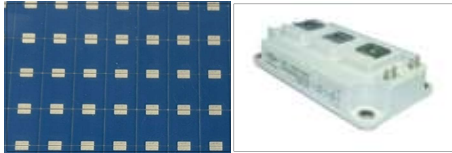


그림 3 SemiPowerEx 사 Thick Film 저항과 S3 Package(위) 케이스 온도에 따른 소비전력(아래)

IEC 60115-1 규격에 기반한 단일 펄스 고전압 과부하 시험을 통하여 저항의 working voltage가 400V 임을 측정하였다.

최대 과부하 전압 / Working Voltage	Vishay (DTO025, 5Ω)	SemiPowerEx (3Ω)
400V/200V	OK	OK
500V/250V	OK	OK
600V/300V	OK	OK
700V/350V	OK	OK
800V/400V	OK	OK
1000V/500V	Fail (open)	Fail (4.7Ω) Fail (59.7Ω)

표 1 Vishay 사 SMD 저항과 SemiPowerEx 사 Thick film 저항 working voltage 비교

2.2 RCD 스너버

Turn-on/off 가 반복되는 스위치 모듈 특성 상 스너버 저항에 가해지는 부하 전압은 반복 펄스의 성향을 가져 단일 펄스 부하에 비해 저항 불량에 취약하다. 따라서 RCD 스너버 회로를 이용하여 저항에 걸리는 전압과 소비전력을 낮추어야 한다.

충방전 RCD 스너버 회로는 capacitor 충전 시 저항 값이 0에 가까워지기 때문에 손실을 줄인다. 또한, 다음 식을 만족하며 전압 슬루율을 조절할 수 있다.

$$I_L = C_s \times dV_{ds}/dt$$

방전억제형 RCD 스너버 회로는 스위칭마다 방전하지 않기 때문에 소비전력이 낮다. 그러나 캐패시터 전압이 정격 전압으로 일정한 슬루율 조절 효과를 기대할 수 없다.

3. 스위칭 특성 검사

3.1 스위칭 특성 검사 환경

SPX350GB120US3 모듈 내에 표 2의 8가지 유형 구조를 내장하여 제작하고 각각의 스위칭 특성을 더블 펄스 테스트를 통해 측정하였다. 테스트 환경은 다음과 같다.

$$V_{DC} = 800 V, I = 240 A, L_{load} = 100 \mu H, R_{g,ext} = 5 \Omega$$

Type #	Description
1	기본 모듈
2	SiC JFET Gate 단 내부 저항 ($R_{g,int} = 10\Omega$)
3-1	RC 스너버 ($R_s = 3\Omega, C_s = 1.5nF$)
3-2	RC 스너버 ($R_s = 3\Omega, C_s = 2.7nF$)
4-1	충방전형 RCD 스너버 ($R_s = 3\Omega, C_s = 1.5nF$)
4-2	충방전형 RCD 스너버 ($R_s = 3\Omega, C_s = 2.7nF$)
5-1	방전억제형 RC 스너버 ($R_s = 3\Omega, C_s = 1.5nF$)
5-2	방전억제형 RC 스너버 ($R_s = 3\Omega, C_s = 2.7nF$)

표 2 제작한 SPX350GB120US3 8 가지 유형

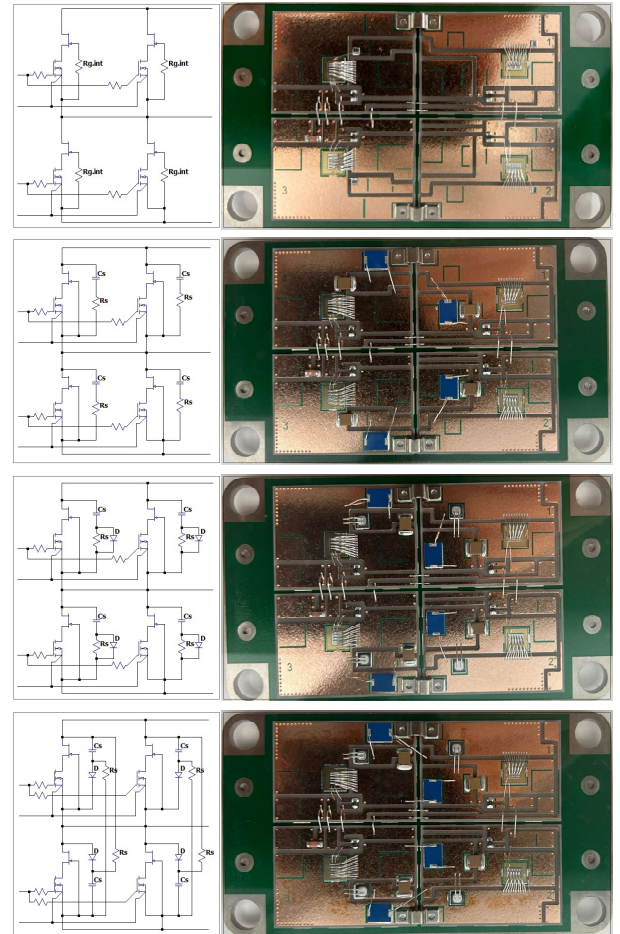


그림 4 유형별 회로도 및 구현된 사진 (위부터 Type 2,3,4,5)

3.2 스위칭 특성 검사 결과

3.2.1 전압 슬루율

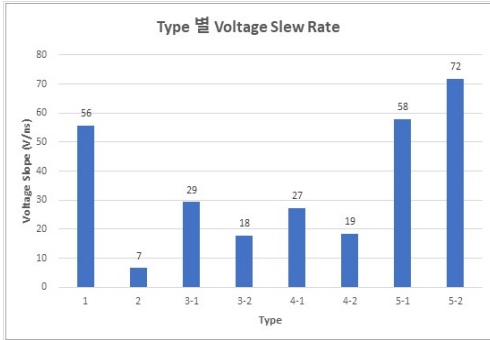


그림 5 유형별 Turn-off Vds 슬루율

Turn-off 시 Vds 기울기를 확인하여 유형별 전압 슬루율 제어 가능 여부를 판단하였다. Type 2, 3, 4는 비교군인 type 1의 56V/ns와 비교하여 슬루율이 크게 낮아졌다. 그러나 방전 억제형 RCD 회로를 사용한 type 5는 큰 변화가 없다.

3.2.2 전압 서지 및 노이즈

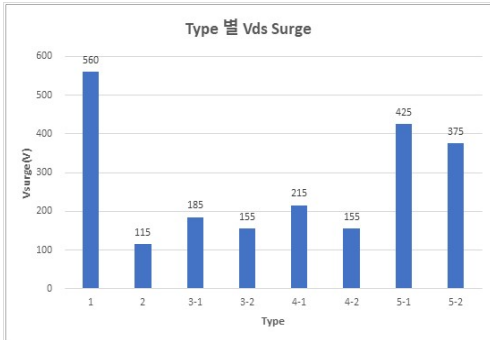


그림 6 유형별 Vds의 서지 전압

유형별 전압 서지 억제 효과의 정도를 비교하기 위해 turn-off 시 Vds의 피크 전압을 확인하였다. Type 2의 경우 전류 슬루율이 낮아지면서 피크 전압도 낮아지는 것을 확인하였다. 스너버 회로를 사용한 type 3, 4, 5 역시 전압 서지가 억제된 것을 확인할 수 있다.

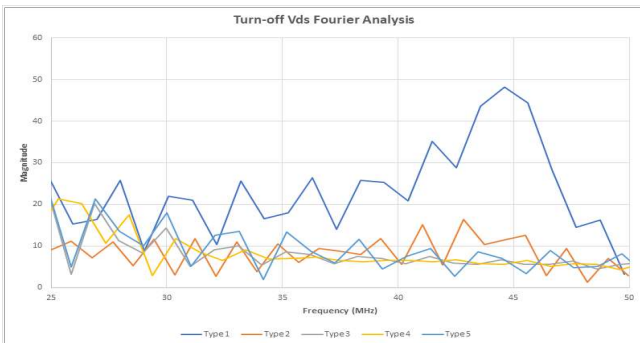


그림 7 유형별 Turn-off Vds 푸리에 변환 분석

노이즈 억제 효과 정도 비교를 위해 turn-off 시 Vds를 푸리에 변환 분석을 통하여 주파수 도메인에서 노이즈 신호의 크기를 확인하였다. Type 1에서의 약 30~50MHz 사이 주요 노이즈는 type 3 = 4 > 5 > 2 순으로 크게 저감되었다.

3.2.3 저항 소비 에너지

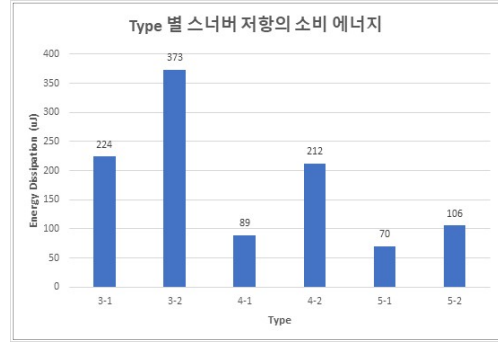


그림 8 유형별 스너버 저항의 소비 에너지

유형별로 turn-off 시 스너버 저항이 소비하는 에너지를 비교하였다. 소비 에너지는 type 3 > 4 > 5 순으로 크고, 스너버 캐패시터의 값이 클수록 소비 에너지도 증가하였다. 다만 type 3, 4에 비해 type 5의 스너버 캐패시터 값 증가에 따른 소비 에너지 증가 폭이 적은 것을 확인하였다.

Type	2	3	4	5
슬루율 제어 가능 여부	O	O	O	X
전압 및 노이즈 억제	O	O	O	O
스위칭 손실	High	Low	Low	Low
저항 소비 전력 및 부하 전압		High	Mid	Low
구조 복잡도	Low	Mid	Mid	High

표 3 유형별 특성 요약

4. 결론

4가지 회로를 모듈 내 각각 내장하여 cascode 구조 SiC JFET 파워 모듈의 전기적 특성을 평가하였다. 내부 게이트 저항 회로는 저항 크기에 비례해 슬루율을 손쉽게 제어할 수 있으나 스위칭 시간이 커져 스위칭 손실이 크다. RC 스너버 회로는 전압 서지와 노이즈 억제 효과가 있고 캐패시터에 의한 슬루율 제어가 가능하나 캐패시터 용량이 커질수록 스너버 저항 부하 전압과 소비전력이 증가해 제어에 한계가 있다. 충방전 RCD 스너버는 상대적으로 저항 부하가 적고 방전억제형 RCD 스너버는 캐패시터 용량을 크게 증가시켜도 저항 부하가 커지지 않아 캐패시터 선택이 자유롭다.

내부 게이트 저항은 스위칭 속도가 느리거나 큰 폭의 슬루율 제어가 필요할 때 적합하다. 스너버 회로는 고전력 시스템에 사용될수록 RC 스너버 보다는 큰 용량의 캐패시터를 사용할 수 있는 충방전 혹은 방전억제형 RCD 스너버가 적합하다.

참고 문헌

- [1] John Bendel, "Cascode Configuration Eases Challenges of Applying SiC JFETs", UnitedSiC Application Note USCi_AN004, 2016, March.
- [2] D. Aggeler, J. Biela, "Controllable dv/dt behaviour of the SiC MOSFET/JFET cascode an alternative hard commutated switch for telecom applications," Applied Power Electronics Conference, p. 1584 - 1590, 2010.
- [3] "SiC MOSFET Snubber Circuit Design Methods", ROHM Application Note, No. 62AN037E Rev.002 2020, April.