

GaN HEMT 종류에 따른 단락 시 위상레그 전압 비교 분석

윤현수, 김철민, 김종수, 김남준[†]

대진대학교 전기공학과

Comparative Analysis of Phase Leg Voltage in Short Circuit according to GaN HEMT Type

Hyun-Soo Yoon, Cheol-Min Kim, Jong-Soo Kim, Nam-Joon Kim[†]

Department of Electrical Engineering, Daejin University

ABSTRACT

본 논문에서는 단락 발생 시 E-mode GaN HEMT와 Cascode GaN HEMT에서 발생하는 특성을 확인하기 위해 위상 레그 전압을 기반으로 시뮬레이션을 통해 비교 분석하였다. 시뮬레이션 결과 단락 발생시 E-mode GaN HEMT에서 Cascode GaN HEMT 대비 40V 더 큰 위상레그 전압강하를 확인하였다.

1. 서 론

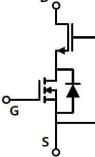
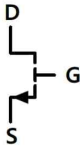
최근 전력전자 시장에서 가장 중요한 목표인 전력 반도체 소자의 효율과 소형화 및 경량화 목표를 달성하기 위해 GaN, SiC와 같은 WBG 소자가 사용되고 있다. 그 중에서도 낮은 도통 저항, 높은 항복전압, 빠른 온-오프 시간으로, 낮은 스위칭 손실과 고속 스위칭이 가능한 GaN HEMT 전력 반도체에 대한 연구가 활발히 이루어지고 있다. 하지만 작은 패키징으로 인한 열적인 문제가 존재하며, 고속 스위칭으로 인한 높은 dv/dt 및 di/dt 특성, 낮은 문턱 전압으로 인해 False Turn On이 발생하게 되면 단락으로 인한 급격한 전류의 상승이 유발되고 이에 따라 손실과 심각한 경우에는 소자가 소손될 가능성이 존재한다^[1]. 이러한 단락 사고로 인한 소자와 회로의 피해를 방지하기 위해선 보다 빠른 단락 감지가 필요하다. 본 논문에서는 시뮬레이션 회로에서 E-Mode GaN HEMT와 Cascode GaN HEMT 두가지 GaN 전력 반도체 소자를 적용한 뒤, 단락 발생 시 나타나는 두 스위치의 특성을 비교 분석하였다.

2. 본 론

2.1 GaN HEMT의 종류 및 특징

GaN HEMT는 Al GaN과 GaN의 이중접합구조로 인해 2D EG구조를 생성하여 전하밀도와 전하이동도가 높아 Si 소자에 비해 낮은 $R_{ds(ON)}$ 을 가진고 역전류가 흐를 때 역회복 전하량이 0인 특징이 있다. 기본적인 GaN HEMT는 Normally-on 특성을 가지는데, 이는 기존에 Normally-off로 구현된 시스템에 적용하기 어렵다는 단점이 존재한다. 이러한 단점을 표 1과 같이 저전압 Si-MOSFET과 공핍 모드 GaN(Depletion-mode GaN)이 직렬로 연결된 구조를 단일 패키지화시키는 Cascode GaN HEMT와, 공정상의 불순물 도핑을 통한 P-Type 구조를 가지는 E-Mode GaN HEMT를 사용함으로써 Normally-off를 구현할 수 있다. 두 GaN HEMT중 Cascode GaN HEMT는 Si-MOSFET과 직렬로 연결된 구조로 인해 기존의 Si-MOSFET

표 1 GaN HEMT 구조별 비교

	D-Mode GaN	Cascode GaN	E-Mode GaN
Symbol			
구조	D-mode GaN HEMT	D-Mode GaN + Low Voltage Si-MOSFET	E-Mode GaN HEMT
스위치 구동방식	음전압 드라이빙 구동 회로 필요	기존 드라이버 활용	낮은 게이트 전압 드라이버 회로 필요
V_{th}	-8V ~ -10V	3V ~ 4V	1V ~ 2V
$R_{ds(ON)}$	매우 낮음	낮음	낮음
역회복 특성	역회복 특성이 존재하지 않음	저전압 Si-MOSFET으로 인해 역회복 특성 존재	역회복 특성이 존재하지 않음

의 게이트 구동 회로를 그대로 사용할 수 있다는 장점이 존재하며, 구조상 밀러 효과가 완화되어 E-Mode GaN HEMT보다 높은 전류가 흐르는 조건에서 턴-오프 손실을 줄일 수 있다^[2].

2.2 단락보호회로 및 단락감지방식

현재 전력 반도체 시장에서 사용되고 있는 Si, SiC 전력 반도체와 GaN HEMT 전력 반도체는 노이즈와 밀러 턴온 등과 같은 이유로 인하여 False Turn On으로 인한 단락사고가 발생할 수 있다. 단락 사고 발생시 큰 단락 전류가 전력 반도체를 통해 흐르며 손실과 소자의 소손을 발생시키게 된다. 이러한 단락사고를 방지하기 위한 단락감지 방식으로는 DESAT(Desaturation) 방식과 로그스키 코일, 센트저항, CT(Current Transducer)를 이용하여 소자의 전류를 측정하는 방식, 그리고 위상레그의 전압을 측정하는 방식 등이 있다. 특히 E-Mode GaN HEMT 전력 반도체와 Cascode GaN HEMT 전력 반도체를 사용하였을 경우, 단락 시 나타나는 위상레그 전압의 특성이 다르기 때문에 위상 레그 전압감지 관점에서 두 GaN HEMT를 비교하였다. 본 논문에서는 위상레그 전압을 측정할 때 두 GaN

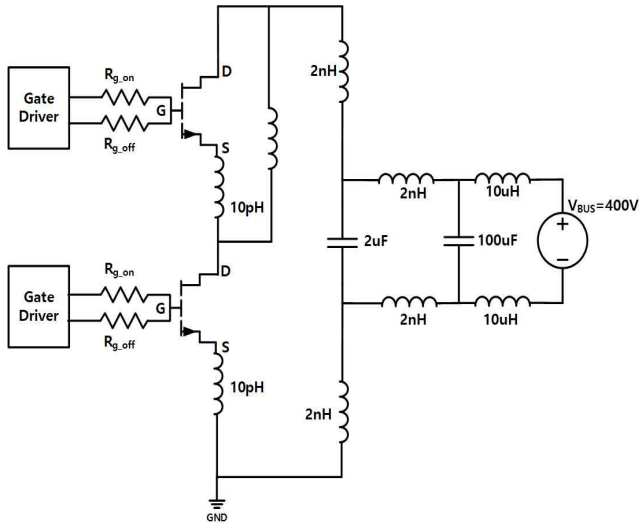


그림 1 시뮬레이션 회로
Fig. 1 Simulation Circuit

HEMT 전력 반도체의 차이를 비교하기 위하여 그림 1과 같은 회로에서 시뮬레이션을 진행하였다.

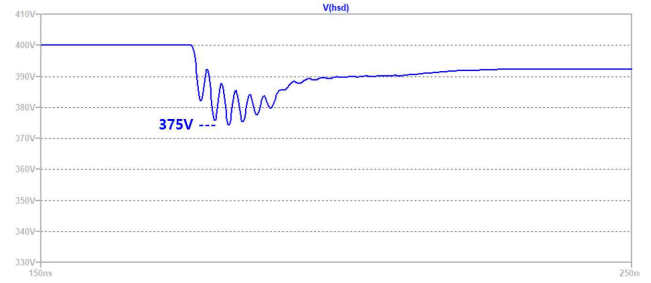
3. 시뮬레이션

3.1 시뮬레이션 회로 및 진행방식

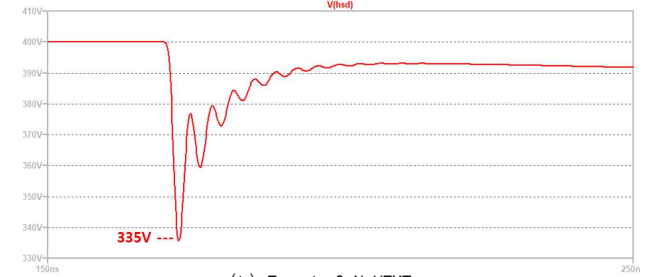
본 논문에서 진행한 시뮬레이션은 LTspice 시뮬레이션 프로그램을 사용하였다. 시뮬레이션을 위해 구성된 회로는 그림 1과 같이, GaN HEMT가 사용된 Half-bridge 구조이며 Cascode GaN HEMT 전력 반도체는 Transphorm社の의 TP65H150G4L SG가 사용되었고, 비교를 위한 E-Mode GaN HEMT 전력 반도체는 GaNsystems社の의 GS-065-011-1-L이 사용되었다. 시뮬레이션은 하단부 스위치가 ON되어있는 상태에서 상단부 스위치를 강제로 Turn ON 시키며 FUL(Fault Under Load)조건을 모의하였고 이를 통해 브릿지에 큰 전류가 흐르는 단락 상황을 모의하였다. 단락은 188ns시점에 발생하게 되며 이 때의 위상레그 전압을 그림 2에 나타내었다^[3].

3.2 시뮬레이션 결과

같은 조건의 Half-bridge 구조에서 유사한 성능을 나타내는 두 GaN HEMT 전력 반도체 소자가 사용되는 경우, 단락 발생 시 나타나는 위상레그 전압에 대하여 시뮬레이션을 진행하였다. 그 결과는 그림 2에 나타내었다. 그림 2에서 Cascode GaN HEMT 전력 반도체가 적용된 경우 25V의 전압 강하가 발생하였으며 E-Mode GaN HEMT 전력 반도체가 적용된 경우에는 65V의 전압 강하가 발생하였다. 또한 Lstray 성분이 커질수록 증가하는 전압강하의 크기가 E-Mode GaN HEMT 전력 반도체가 더 크게 일어나는 양상을 확인했다. 이 결과를 통해 위상레그 전압 감지 방식을 사용할 경우 위상레그 전압의 강하폭에 따라 단락 검출 유무가 결정되므로 사용되는 GaN HEMT의 종류에 따라 단락 검출 전압의 선정이 중요하다는 것을 확인하였다.



(a) Cascode GaN HEMT



(b) E-mode GaN HEMT

그림 2 단락 발생시 위상레그 전압 파형
Fig. 2 Phase leg voltage waveform at short circuit

4. 결 론

본 논문은 단락 발생 시 E-mode GaN HEMT와 Cascode GaN HEMT에서 발생하는 특성을 위상 레그 전압 기반으로 시뮬레이션을 통해 비교 분석하였다. 실험은 LTspice 시뮬레이션 프로그램을 사용하여 진행하였으며 각 GaN HEMT가 Half-bridge 구조에 적용됐을 때, 단락 발생 시 위상레그 전압에 미치는 영향을 분석해보았다. 이러한 시뮬레이션 결과를 토대로, 위상레그 전압감지 방식의 회로에 GaN HEMT 전력 반도체를 적용할 때, 사용하는 전력 반도체의 특성에 의한 전압강하를 고려해야 정확한 단락전압 검출을 달성할 수 있을 것으로 예상된다. 추후 이러한 전력 반도체로 인한 특성을 고려하여 보다 정확하고 신뢰도 높은 단락 검출 회로를 제작할 계획이다.

이 논문은 2021년도 정부(미래과학창조부)의 재원으로 한국 연구재단의 지원을 받아 수행된 기초연구 사업임.(No. NRF - 2021R1F1A10506811)

참 고 문 헌

- [1] 안정훈, 이병국, 김종수, "Si MOSFET과 GaN FET Power System 성능 비교 평가," 전력전자학회논문지, vol 19, no 3, pp. 283-289, June, 2014
- [2] 곽봉우 "Cascode GaN의 하프 브릿지 구성에서 오실레이션 저감을 위한 RC 스너버 분석", 한국전기전자학회 전기전자학회논문지, vol. 2022 no. 12, 30-36, 2022
- [3] 이민규, 이준영, 김종수, 김남준, "GaN HEMT 전력 반도체 소자에 적합한 단락보호 방법 분석", 한국조명·전기설비학회 학술대회논문집, vol. 2021 no. 11, 106-106, 2021