

ITER AC/DC Converter MCS Plant Layer Interlock Design Summary

^a서재학, ^a오종석, ^b이충산
^a한국핵융합에너지연구원, ^b(주)다원시스

ITER AC/DC Converter MCS Plant Layer Interlock Design Summary

^aJae-Hak Suh, ^aJong-Seok Oh, ^bChungsan Lee
^aKorea Institute of Fusion Energy (KFE), ^bDawonsys Corp.

ABSTRACT

ITER AC/DC Converter MCS Plant Layer Interlock System은 Central Interlock System(CIS)에서 검출된 Interlock Event를 Local AC/DC Converter에 명령하고, Local Converter System의 상태를 취합하여 Central System에 Report 하며, Local Converter에서 발생한 Event 요청을 수행한다. Interlock Event를 처리해야 하는 요구 시간 즉 100ms를 기준으로 Fast, Slow Interlock 2가지로 구분되며, Fast Interlock 제어기는 NI CompactRIO를 사용하고, Slow Interlock 제어기로는 Siemens PLC를 사용한다. Plant Layer Interlock 제어기들은 1차 Design, Test 완료되었으며 현재 Final Version으로 update 중에 있다. 본 논문은 Final Version Design 결과를 요약하고 Test Plan에 대하여 논의하고자 한다.

1. ITER MCS Plant Layer PIS 구성도

MCS Plant layer Interlock Controller는 표1과 같이 분류된다. 이 제어기들은 IEC EN 61850에서 4단계로 정의된 SIL(Safety integrity level)과 대등한 ITER 기구 내에서 정한 3단계의 3IL등급으로 분류된 요구사항을 만족하여야 하며 PIC들은 Integrity level은 최대 3IL-3, PFH(probability of dangerous failure on demand) < 10^{-7} 까지 요구된다.

표1. ITER AC/DC Converter Plant Interlock Controller

Integrity	Performance	Availability	Technical Solution	Configuration
up to 3IL-3	>100ms	Standard	Siemens S7-400-F	Standard PIC
up to 3IL-3		High Availability	Siemens S7-400-FH	Fully Fault-Tolerance
up to 3IL-3	<100ms	Standard	NI Compact Rio	Double Decker

Siemens PLC를 사용하는 Slow interlock 제어기로 구성되는 PFCS, CCPS PIC은 Single CPU+CP(Communication Processor)로 구성되며 TFPS PIC은 Redundant CPU+CP를 사용하며 이들은 input/output 채널에 필요한 Remote I/O를 구성하며 그림1에 기본 구성과 통신 연결 상태를 나타낸다. PON (Plant operation Network)는 EPICS IOC(Input Output Controller)와 통신을 하고 CIN(Central Interlock Network)은

PIS 상위 CIS와 통신을 하며 LIC들과 PIN-1, PIN-2(Plant Interlock Network)로 2중화 통신을 구성한다.

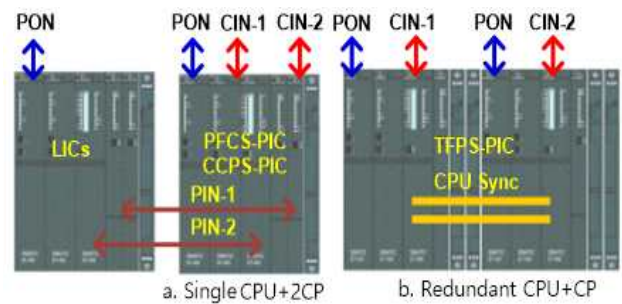


그림 1 Slow Interlock Controller(Siemens PLC)

Fig. 1 Slow Interlock Controller(Siemens PLC)

그림2에는 NI Compact Rio를 사용하는 PFCS, CCPS, TFPS FPIC은 Double-Decker로 구성된다. 2개의 새시는 안전고장률 SFF(Safe Failure Fraction)를 증가시키는 진단 전략으로 사용하여 가용성과 안정성(availability and reliability)을 향상하게 시킨다. 중앙 시스템과의 통합을 위하여 Critical 신호는 FPIC-Compact Rio와 Central-Compact Rio와의 통신은 FPGA I/O Port를 통하여 통신을 형성하며 광신호로 변환하여 Manchester 프로토콜 방식으로 통신 데이터를 주고받으며, FPIC_Host를 통하여 Non Critical 데이터는 OPC UA를 통한 CIS 및 CODAC과 데이터를 통신한다.

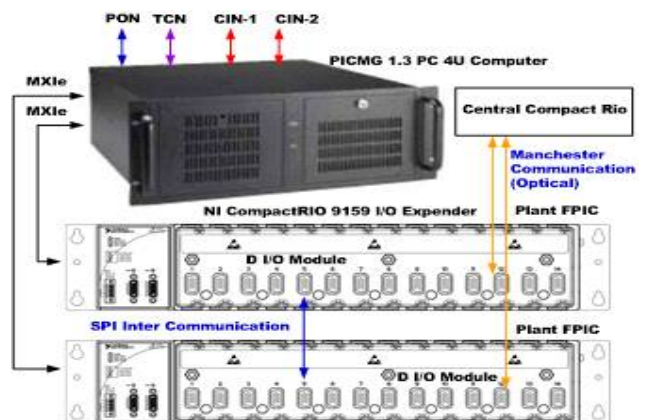


그림 2 Fast Interlock Controller(NI Compact Rio)

Fig. 2 Fast Interlock Controller(NI Compact Rio)

2. ITER MCS Plant Layer PIS S/W 구성도

Slow PIS 소프트웨어 아키텍처는 그림 3에 나와 있으며 CODAC에서 제공하는 PIS PLC 템플릿 프로젝트를 사용하여 개발한다. CPU 모듈의 S7 프로그램은 오류 방지 구성 요소(안전 프로그램)와 비 오류 방지 구성 요소(표준 프로그램)로 구성된다. 인터록 기능(안전 관련 통신 및 논리)에 직접 관련된 블록/모듈은 PLC 안전 프로그램에 있는 반면 다른 블록/모듈(표준 통신 또는 모니터링)은 표준 프로그램 영역에 있다. F-CPU에서 사용자 안전 프로그램과 사용자 표준 프로그램 간의 데이터 교환은 F-CPU에서 데이터 변환을 위한 특수 F 블록을 사용하여 수행한다. PLC 안전 프로그램은 F-Library에서 선택한 오류 방지 블록으로 구성되며 CFC 프로그래밍 언어를 사용하여 상호 연결된다. 컴파일하는 동안 오류 제어 조치가 안전 프로그램에 자동으로 추가되고 추가 안전 관련 테스트가 수행됩니다.

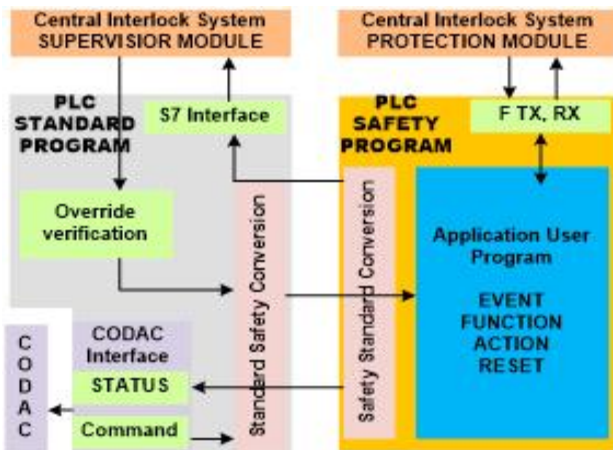


그림 3 ITER MCS Plant Slow PIS Software 구성도

Fig. 3 ITER MCS Plant Slow PIS Software Architecture

그림4는 Fast PIS 소프트웨어 아키텍처를 나타내며 두 가지 주요 블록으로 나눌 수 있습니다. 호스트 PC는 HMI를 통해 제어 변수를 Setting하고 제어 Status를 모니터링하기 위해 cRIO FPGA와 중앙 시스템 간의 인터페이스 구현을 담당합니다. cRIO FPGA 핵심 애플리케이션 프로그램은 인터록 기능에 필요한 입력 변수를 읽어서 제어로직을 수행하고 동작 및 이벤트 상태를 중앙 인터록 시스템의 고속 모듈과 통신하는 역할을 한다. cRIO FPGA와 호스트 PC 소프트웨어 레이어 간에 데이터는 FPGA의 DMA 채널을 통한 FIFO와 호스트 PC의 통신 데이터 버퍼를 통해 통신한다.

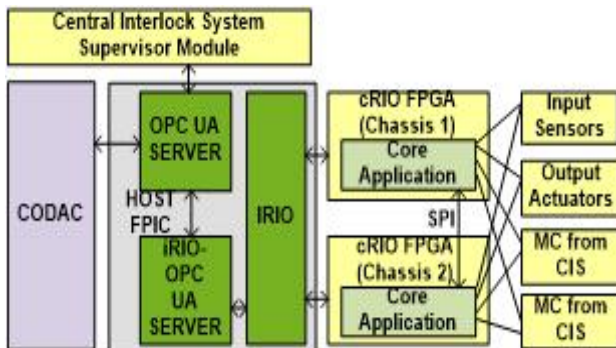


그림 4 ITER MCS Plant Fast PIS Software 구성도

Fig. 4 ITER MCS Plant Fast PIS Software Architecture

3. ITER MCS Plant Layer PIS Test Platform

그림5는 MCS PIS Test 환경 구성을 나타내며, 개념적 관점에서 Operation 환경을 묘사할 수 있는 실제 테스트 환경하에서 수행된다. PIS(slow and fast)의 Test를 수행하기 위해 mini-CIS는 Plant에서 발생 가능한 Event와 CIS에서 발생한 이벤트들의 동작을 동시에 생성하는 데 사용되며, 테스트 환경에는 아래 항목이 포함된다. 1) PIS 시스템, PIS 엔지니어링 스테이션, Siemens PLC용 관리 및 프로그래밍 소프트웨어: Siemens Step7, F-Systems, CFC, F-Libraries, SCL 등. 2) NI Compact Rio 컨트롤러를 위한 관리 및 프로그래밍 소프트웨어: LabVIEW, IRIO 라이브러리. 3) CIS 대체 도구로서의 HMI가 포함된 Mini-CIS, CODAC 대체 도구로서의 Mini-CODAC, 플랜트 시스템 장비(센서, 액추에이터 등) 대체 가능한 도구.

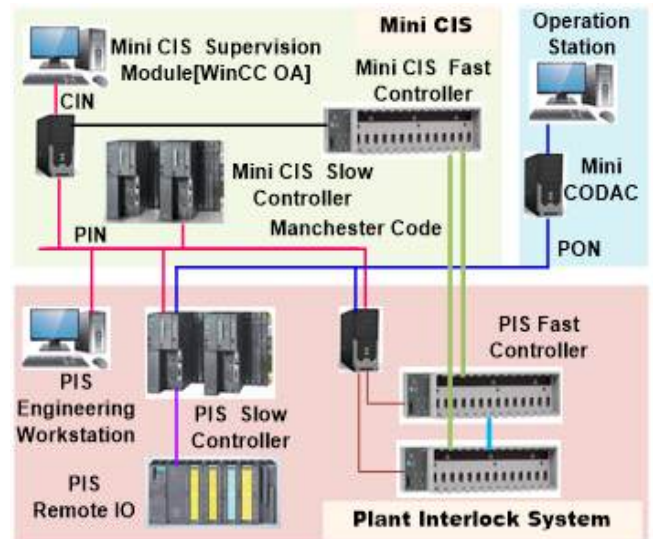


그림 5 KO Converter & MCS를 위한 ITER Site Work Plan

Fig. 5 ITER Site Work Plan for KO Converter & MCS

4. 결 론

본 논문은 한국어 조달하는 ITER AC/DC Converter MCS Layer Plant Interlock Controller(Siemens PLC, NI Compact Rio)의 H/W, S/W 설계를 소개하고 Test bench를 논의하였다. 현재 한국에서 Test 완료된 제어기들은 ITER Site에 설치 중에 있으며, 또한 각국이 분할 조달한 제어 시스템들이 Site에 도착하여 설치가 완료되면, 준공 검사 완료 후 인터페이스되는 모든 장치들과 실제 연결하여 Test가 예정되어 있다. Test는 크게 2단계로 진행되며 자체 시험이 모두 완료되면 Integration한 후에 전체 기능들이 Operation되는 상태에서 Test 된다.

이 성과는 2023년도 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 한국핵융합에너지연구원에서 수행한 국책연구사업임 (No. RS-2022-00154840, ITER 초전도자석 전원공급장치 개발-제작)

참 고 문 헌

- [1] 서재학, "ITER AC/DC 컨버터를 위한 마스터 제어 시스템의 통합 FAT 결과", 2022 추계전력전자학회.
- [2] 서재학, "MCS Design status and Summary", 2020 추계전력전자학회.
- [3] 서재학, "4Q Local Controller for the ITER CS, VS1, CC AC/DC Converter", 2018 추계전력전자학회.
- [4] 오종석, "Final Design of the Korean Procurement Package of AC/DC", SOFT2014, 2014년 10월.